

# FPGA コンポーネント

## MU200-SX series MU200-SX25/30/40/60/80 Stratix 搭載 FPGA コンポーネント



### 搭載 FPGA

ALTERA 社 Stratix EP1S(FBGA1020 ピン)デバイス  
検証可能な回路規模  
ロジックエレメント数 25,660/32,470/41,250/57,120/79,040  
コンフィギュレーション(回路書き込み)  
コンフィギュレーション ROM (EPC8/16) 又は FPGA (Stratix、  
EPM7064) へ回路を書き込むことができます。

### 外部インタフェース

240 ピン PowerMedusa コネクタ(プラグ)	1 個
64 ピン拡張コネクタ	1 個
EIA232	1 個
ダウンロードパラレル用パラレルポート	1 個
JTAG10 ピンヘッダー	1 個
USB コネクタ	1 個
LSI テスタサブボードコネクタ	4 個

SRAM(4Mbit) 2 個搭載

USB B タイプコネクタ 1 個搭載

PLL 出力用 SMB コネクタ 2 個搭載

その他、7セグメント LED、LED、テンキー、  
8ビットディップスイッチ、ロータリスイッチ、  
ブザー 搭載

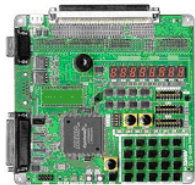
64 ピン拡張コネクタ対応 Stratix コンポーネント  
MU200-SXV25/30/40/60/80

その他

MU200-SX をベースにカスタムボードの開発を承っ  
ています。

# トレーニングコンポーネント

## MU200-EC6S Cyclone デバイス搭載トレーニングコンポーネント



### 搭載 FPGA

ALTERA 社 Cyclone EP1C6(QFP240 ピン)デバイス  
検証可能な回路規模  
ロジックエレメント数 5980  
コンフィギュレーション(回路書き込み)  
コンフィギュレーション ROM (EPC1) 又は FPGA (Cyclone、  
EPM7064) へ回路を書き込むことができます。  
MasterBlaster ケーブルには対応していません。

### 外部インタフェース

240 ピン PowerMedusa コネクタ(レセプタクル)	1 個
EIA232	1 個
ダウンロードパラレル用パラレルポート	1 個
JTAG10 ピンヘッダー	1 個

その他、7セグメント LED、LED、テンキー、  
8ビットディップスイッチ、ロータリスイッチ、  
ブザー 搭載

クロックセレクト

1Hz ~ 40MHz の範囲で 1 5 種類のクロックを選択、  
また 1 クロックスイッチ押下毎に 1 クロックを発生  
させる事が可能。

### サンプル回路

プッシュ SW、7セグメント LED、ブザー等の出入  
力を使用したサンプル回路「24 時間時計  
(clk24)」と「電子オルガン(beep)」の仕様書、  
VHDL ソースコード、ピンアサインファイル、  
SOF、POF ファイルをご用意しています。

# オプションコンポーネント

## MU200-VD NTSC ビデオデコード/エンコードコンポーネント



### 画像入力部(ビデオデコーダ)

アナログビデオ信号を入力し、デジタルビデオ信号に変換して、  
240 ピンコネクタより出力します。

アナログ入力信号: NTSC コンポジットビデオ信号、Y/C 信号  
(S ビデオ)

デジタル出力信号: 16bitYCbCr 信号、24bitRGB 信号

ピクセル周波数: 13.5MHz: NTSC ITU-RBT.601

14.31818MHz: NTSC 4 Fsc

12.272727MHz: NTSC Square pixel

### 画像出力部(ビデオエンコーダ)

240 ピンコネクタよりデジタルビデオ信号を入力し、アナログビ  
デオ信号を画像用コネクタから出力します。

デジタル入力信号: 16bitYCbCr 信号、24bitRGB 信号

アナログ出力信号: NTSC コンポジットビデオ信号

Y/C 信号(S ビデオ)

RGBHV 信号(VGA サイズ)

ピクセル周波数: 13.5MHz: NTSC ITU-RBT.601

14.31818MHz: NTSC 4 Fsc

12.272727MHz: NTSC Square pixel

### 画像用 FIFO メモリ

256kword x 24bit の画像用 FIFO メモリを搭載しています。

各種映像信号パラメータを制御する PC アプリ  
「MU200-VD 設定ユーティリティ」標準添付

### MU200-VD 設定ユーティリティ仕様

OS: Microsoft Windows98 日本語版

Microsoft Windows NT Workstation4.0 Service Pack 5 日本語版

Microsoft Windows2000 Service Pack 2 日本語版

Microsoft WindowsXP 日本語版

機種: 上記 OS が正常に動作する、IBM PC 及びその 100%互換機

CPU: 上記 OS が正常に動作する、Pentium 266MHz 以上

メモリ容量: 64MB 以上

HDD 空き容量: 10MB 以上

通信ポート: 正常に動作している D-Sub 9Pin オス型のシリアルポート  
EIA232 (旧称 RS-232C)

Windows マシンのシリアルポート 1 と MU200-VD をシリアルス  
トレートケーブルで接続してください。

## MU200-XAD、MU200-XDA 拡張コネクタ搭載用 AD 変換ボード、DA 変換ボード



### MU200-XAD

- (1)変換特性  
 分解能 12bit  
 S/N比 69dB (fin=31MHz)  
 最大変換速度 65MSPS  
 直線性誤差 ±0.6LSB  
 以上は搭載IC AD9226ARS(アナログデバイス社製)の特性です。



### MU200-XDA

- (1)変換特性  
 分解能 12bit  
 S/N比 70dB (fin=5MHz)  
 最大変換速度 125MSPS  
 直線性誤差 ±0.75LSB  
 以上は搭載IC AD9762AR(アナログデバイス社製)の特性です。

- (2)アナログ入力範囲 2Vp-p  
 (3)アナログ入力端子 BNCコネクタ  
 (4)入力数 3チャンネル  
 (5)接続可能機種 MU200-APシリーズ、MU200-VD、MU200-CONV
- 特長  
 ・AD 前段処理(LPF、リファレンス電圧への合わせ込み等)のために、ユニバーサル領域および別基板接続用コネクタを搭載。  
 ・上記前段処理した信号としていない信号をスイッチで選択可能  
 ・入力信号の AC 結合と DC 結合を選択可能

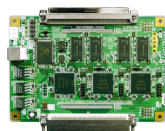
- (2)アナログ出力範囲 2Vp-p  
 (3)アナログ出力端子 BNCコネクタ  
 (4)出力数 3チャンネル  
 (5)接続可能機種 MU200-APシリーズ、MU200-VD、MU200-CONV
- 特長  
 DA 後段処理(LPF、アンプ回路等)のために、ユニバーサル領域および別基板接続用コネクタを搭載。  
 上記後段処理した信号としていない信号をスイッチで選択可能  
 出力信号の AC 結合と DC 結合を選択可能。

## MU200-XSR 拡張コネクタ搭載用 SRAM ボード



容量 12Mbit (24bit×512Kword×1ch)  
 接続可能機種 MU200-APシリーズ、MU200-VD、MU200-CONV  
 オプション 容量 16Mbit (16bit×512Kword×2ch但しアドレス共通)も可能。

## MU200-NVI 簡易ロジックアナライザ



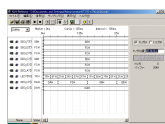
FPGA ボードの信号波形を PC 上で観測できます。

- 基本機能  
 ロジアナモード  
 トリガ条件が成立するまでサンプリングを行い、波形表示を行います。  
 リアルタイムモード  
 リアルタイムに波形表示を行い、実時間で信号の変化が観測できます。
- 特長  
 ・240ピンコネクタ(プラグ、レセプタクル)を搭載、SXシリーズをはじめとする PowerMedusa シリーズと接続可能  
 ・96ビットの信号をサンプリング可能  
   サンプリングポイント 最大 262,144 ポイント  
   サンプリングクロック 最大 24MHz  
 ・PCへのデータ転送 USB2.0  
 ・クロック発振回路(最大 24MHz)を搭載、接続するコンポーネントへ供給可能

NVI-Reflector MU200-NVI 専用波形観測ソフトウェア  
 NVI 仮想計測ソフトウェア(PCソフト)  
 モードの切り替え、トリガ条件の設定、サンプリングの実行停止などが可能  
 波形は「HL」「2進」「10進」「16進」「アナログ」で表示可能

### 動作環境

- OS: Windows2000、XP(いずれも日本語版)  
 PC: 上記OSがプレインストールされているPC、  
 またはメーカーによってUSBの動作が保証されているPC



NVI-Reflector

## MU200-DM DDR SDRAM DIMM 対応メモリコンポーネント



基本機能  
 DDR SDRAM DIMMをSRAMイメージまたはFIFOイメージでアクセスできるメモリコンポーネントです。DDR SDRAM DIMM 184ピン(PC2100 512Mbyte)を2個搭載でき、大容量のメモリを必要とするアプリケーション、LSIの検証などに最適です。またお客様が設計された回路を搭載FPGAに書き込むことにより、ご用途に応じたDDR SDRAM DIMMの制御が可能です。

外部インタフェース  
 240ピンコネクタ(レセプタクル) 1個  
 サブボードコネクタ 4個  
 メモリインタフェース  
 DDR SDRAM DIMM 184ピンソケット 2個  
 \*DIMMメモリは製品に含まれておりません  
 (推奨ADTEC社製ADF2100D-512)  
 その他  
 定格電源 +5V単一電源(DC+V:±5%)  
 外形寸法(WxDxH) 310x150x28(mm)